

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of:

Daisuke NAKATA

Application No.:

Group Art Unit:

Filed:

Examiner:

For: SEMICONDUCTOR MEMORY

**SUBMISSION OF CERTIFIED COPY OF PRIOR FOREIGN
APPLICATION IN ACCORDANCE
WITH THE REQUIREMENTS OF 37 C.F.R. § 1.55**

Commissioner for Patents
PO Box 1450
Alexandria, VA 22313-1450

Sir:

In accordance with the provisions of 37 C.F.R. § 1.55, the applicant(s) submit(s) herewith a certified copy of the following foreign application:

Japanese Patent Application No(s). 2003-050264

Filed: February 27, 2003

It is respectfully requested that the applicant(s) be given the benefit of the foreign filing date(s) as evidenced by the certified papers attached hereto, in accordance with the requirements of 35 U.S.C. § 119.

Respectfully submitted,
STAAS & HALSEY LLP

Date:

12/30/03

By: 

William F. Herbert
Registration No. 31,024

1201 New York Ave, N.W., Suite 700
Washington, D.C. 20005
Telephone: (202) 434-1500
Facsimile: (202) 434-1501



日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 2 月 2 7 日
Date of Application:

出 願 番 号 特 願 2 0 0 3 - 0 5 0 2 6 4
Application Number:
[ST. 10/C] : [J P 2 0 0 3 - 0 5 0 2 6 4]

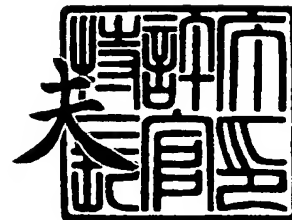
出 願 人 富 士 通 株 式 会 社
Applicant(s):

3
2
)

2 0 0 3 年 1 0 月 1 5 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 0340052

【提出日】 平成15年 2月27日

【あて先】 特許庁長官殿

【国際特許分類】 G06F 12/14 310

【発明の名称】 半導体記憶装置

【請求項の数】 9

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内

【氏名】 中田 大輔

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100092152

【弁理士】

【氏名又は名称】 服部 毅巖

【電話番号】 0426-45-6644

【手数料の表示】

【予納台帳番号】 009874

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9705176

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体記憶装置

【特許請求の範囲】

【請求項 1】 不揮発性半導体メモリに記憶されたデータの保護機能を有する半導体記憶装置において、

前記不揮発性半導体メモリのデータ保護状態を制御する揮発性の保護状態指定部と、

前記保護状態指定部の初期状態を制御する不揮発性の初期状態記憶部と、
を有することを特徴とする半導体記憶装置。

【請求項 2】 前記保護状態指定部及び前記初期状態記憶部は、1 ビットからなり、1 または 0 で前記データ保護状態または前記初期状態を決定することを特徴とする半導体記憶装置。

【請求項 3】 前記保護状態指定部は、前記不揮発性半導体メモリのセクタごとに設けられ、前記初期状態記憶部は、前記保護状態指定部ごとに設けられることを特徴とする請求項 1 記載の半導体記憶装置。

【請求項 4】 前記初期状態記憶部は、複数の前記保護状態指定部に対し 1 つ設けられることを特徴とする請求項 1 記載の半導体記憶装置。

【請求項 5】 前記保護状態指定部の状態を固定する揮発性の保護状態固定部を有することを特徴とする請求項 1 記載の半導体記憶装置。

【請求項 6】 前記保護状態固定部は、1 ビットからなり、1 または 0 で前記データ保護状態を固定するか否かを決定することを特徴とする請求項 5 記載の半導体記憶装置。

【請求項 7】 前記保護状態固定部の初期状態を決定する不揮発性の第 2 の初期状態記憶部を有することを特徴とする請求項 5 記載の不揮発性半導体メモリ。

【請求項 8】 前記第 2 の初期状態記憶部は、1 ビットからなり、1 または 0 で前記データ保護状態を固定するか否かを決定することを特徴とする請求項 7 記載の半導体記憶装置。

【請求項 9】 前記保護状態固定部で前記データ保護状態を固定するか否か

により、2段階のセキュリティレベルを設け、固定の場合、非固定状態にするにはパスワードによる認証を必要とすることを特徴とする請求項5記載の半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は半導体記憶装置に関し、特に、不揮発性半導体メモリに記憶されたデータの保護機能を有する半導体記憶装置に関する。

【0002】

【従来の技術】

フラッシュメモリのように、電氣的に書き換えや消去が可能な不揮発性メモリを有する半導体記憶装置では、EEPROM (Electrically Erasable Programmable Read-Only Memory) などの不揮発性半導体メモリ（以下不揮発性メモリと呼ぶ）に記憶されたデータを保護する機能を有するものがある（例えば、特許文献1参照）。誤操作による書き込みや消去により、重要なデータを消してしまわぬためである。

【0003】

従来のデータ保護機能を有する半導体記憶装置を大別すると、以下の2つに分かれる。

1つ目が、不揮発性メモリの保護状態を指定する1ビットの不揮発性の記憶部（以下、不揮発性ビットと呼ぶ）を設けたものである。

【0004】

図10は、不揮発性ビットを用いたデータ保護について説明する概念図である。

ここでは、4セクタ（セクタは消去単位とする）からなる不揮発性メモリ100aのデータ保護について示している。

【0005】

図のように、セクタ0、1、2、3ごとに、そのセクタ0～3のデータの保護状態を指定する不揮発性ビットNBa0、NBa1、NBa2、NBa3を設け

ている。

【0006】

この不揮発性ビットNB a 0～NB a 3において、書き込み状態（“1”）の場合、その不揮発性ビットNB a 0～NB a 3で指定したセクタのデータを保護し、消去状態（“0”）の場合は、セクタは非保護とする。

【0007】

この不揮発性ビットNB a 0～NB a 3への書き込みはビット単位で行われ、消去は一括で行われる。

図11は、不揮発性ビットにより保護されたセクタにデータを書き込む際の、従来の処理の流れを示すフローチャートである。

【0008】

例えば、図10の不揮発性メモリ100aにおいて保護されているセクタ0にデータを書き込む場合は、まずセクタ0の保護を解除する必要がある。この際、最初に、セクタ0～3の保護状態を指定する不揮発性ビットNB a 0～NB a 3の情報を一旦RAM（Random Access Memory）に書き込む（S10）。次に、書き込み状態でない不揮発性ビットNB a 1、NB a 2、NB a 3が、過消去される現象を防止するためにプリプログラムを行う（S11）。その後、不揮発性ビットNB a 0～NB a 3を一括消去する（S12）。これにより、セクタ0の保護が解除されるので、セクタ0へデータの書き込みを行う（S13）。次に、再びセクタ0を保護するため、書き込みが完了すると、RAMへ保存していた不揮発性ビットNB a 0～NB a 3の情報を読み出し（S14）、セクタ0の不揮発性ビットNB a 0を再び書き込み、セクタ0を保護し（S15）、処理を終了する。

【0009】

上記の処理において、ステップS11の処理では、150〔μs〕×ビット数程度のタイムアウトが生じる。また、ステップS12の処理では、1.5ms程度のタイムアウトが生じ、ステップS13のデータ書き込み処理を開始するまで、msオーダーの待ち時間が生じる。また、ステップS15の処理でも150〔μs〕程度のタイムアウトが生じる。

【0 0 1 0】

このため、データ保護のための不揮発性ビットは、ユーザ側システム基板に実装される以前に、一度だけ保護状態を設定され、主に、まず書き換えることのないブートコードを保護するのに用いられることが多い。

【0 0 1 1】

2 つ目が 1 ビットの揮発性の保護状態指定部（以下揮発性ビットと呼ぶ）によりセクタの保護状態を決定する方法である。

図 1 2 は、揮発性ビットを用いたデータ保護について説明する概念図である。

【0 0 1 2】

ここでは、4 セクタ（セクタは消去単位とする）からなる不揮発性メモリ 1 0 0 b のデータ保護について示している。

図のように、セクタ 0、1、2、3 ごとに、そのセクタ 0～3 のデータの保護状態を指定する揮発性ビット V B a 0、V B a 1、V B a 2、V B a 3 を設けている。

【0 0 1 3】

この揮発性ビット V B a 0～V B a 3 において、書き込み状態（“1”）の場合、その揮発性ビット V B a 0～V B a 3 で指定したセクタのデータは保護され、消去状態（“0”）の場合は、セクタは非保護となる。

【0 0 1 4】

この揮発性ビット V B a 0～V B a 3 への書き込み及び消去はビット単位で行われる。また、電源オフになると、セクタの保護状態を示す情報は失われる。揮発性ビット V B a 0～V B a 3 を用いると、書き込みが待ち時間なく行え、頻繁な保護状態の変更に対応可能である。

【0 0 1 5】

また、上記のような、データ保護状態の書き換えを、パスワードを用いて制限する半導体記憶装置がある。

図 1 3 は、パスワードを用いてデータ保護状態を変更する、従来の半導体記憶装置の概略を示した概念図である。

【0 0 1 6】

ここでも、4セクタからなる不揮発性メモリ100cのデータ保護について示している。

この半導体記憶装置では、セクタ0、1、2、3ごとに、揮発性ビットVBb0、VBb1、VBb2、VBb3と、不揮発性ビットNBb0、NBb1、NBb2、NBb3を設け、OR回路200、201、202、203で、両者の論理和を取り保護状態を決定している。

【0017】

さらに、不揮発性ビットNBb0～NBb3の状態を固定するセキュリティ用の揮発性ビットVBSaと、この揮発性ビットVBSaの初期状態を決定する2つのセキュリティ用の不揮発性ビットNBSPa（パスワードモード）、NBSSNa（ノンパスワードモード）を有する。不揮発性ビットNBSPaが書き込み状態の場合は、パスワードモードにセットされ、セキュリティ用の揮発性ビットVBSaは書き込み状態となり、これを消去するためにはパスワードが必要となる。一方、不揮発性ビットNBSSNaが書き込み状態の場合は、揮発性ビットVBSaは、電源投入時の初期状態では消去状態（“0”）となり、パスワード入力無しで、書き込み、消去が可能になる。

【0018】

【特許文献1】

特開2001-51904号公報（第3図）

【0019】

【発明が解決しようとする課題】

しかし、上記のように、データ保護のために不揮発性ビットを用いる場合は、特性上、消去に時間を要し、またダイサイズペナルティからある特定の単位で一括消去される。したがって保護機能を頻繁に書き換える必要がある場合には適さないという問題があった。

【0020】

一方、揮発性ビットを用いる場合は、保護状態の変更はリアルタイムで行なうことができる反面、電源オフの際に初期状態に戻ってしまう。このため、データ保護の強度が低く、第3者により不正に不揮発性メモリのデータが書き換えられ

る危険性があるという問題があった。

【0 0 2 1】

また、従来のセキュリティ用のビットを用いた半導体記憶装置の場合、データ保護用の不揮発性ビットの状態を固定するためセキュリティ強度は高いが、システム上の頻繁な保護状態の変更が困難であるという問題があった。

【0 0 2 2】

本発明はこのような点に鑑みてなされたものであり、不揮発性メモリのデータ保護状態を迅速に変更可能で、且つ、十分なセキュリティ強度を有した半導体記憶装置を提供することを目的とする。

【0 0 2 3】

【課題を解決するための手段】

本発明では上記課題を解決するために、不揮発性メモリに記憶されたデータの保護機能を有する半導体記憶装置において、図1のように、不揮発性メモリ10のデータ保護状態を制御する揮発性の保護状態指定部VB0、VB1、VB2、VB3、…、VBnと、保護状態指定部VB0、VB1、VB2、VB3、…、VBnの初期状態を制御する不揮発性の初期状態記憶部NB0、NB1、NB2、NB3、…、NBnと、を有することを特徴とする半導体記憶装置が提供される。

【0 0 2 4】

上記の構成によれば、揮発性の保護状態指定部VB0、VB1、VB2、VB3、…、VBnにより、不揮発性メモリのデータの保護状態を制御し、不揮発性の初期状態記憶部NB0、NB1、NB2、NB3、…、NBnにより、保護状態指定部VB0、VB1、VB2、VB3、…、VBnの初期状態を決定する。

【0 0 2 5】

【発明の実施の形態】

以下本発明の実施の形態を図面を参照して説明する。

図1は、本発明の実施の形態の半導体記憶装置の原理を説明する概念図である。

【0 0 2 6】

本発明の実施の形態の半導体記憶装置は、不揮発性メモリ 10 のデータ保護状態を制御する 1 ビットの揮発性の保護状態指定部（以下揮発性ビットと呼ぶ）VB0、VB1、VB2、VB3、…、VBnと、保護状態指定部VB0、VB1、VB2、VB3、…、VBnの初期状態を制御する不揮発性の初期状態記憶部（以下不揮発性ビットと呼ぶ）NB0、NB1、NB2、NB3、…、NBnと、を有する。

【0027】

図のように、不揮発性メモリ 10 のセクタ（セクタは消去単位とする）0、1、2、3、…、n ごとに揮発性ビットVB0～VBnが設けられ、セクタ0～n のデータ保護状態を指定する。また、本実施の形態では、揮発性ビットVB0～VBnの初期状態を決定する不揮発性ビットNB0～NBnも揮発性ビットVB0～VBnに対応して同数設けられる。

【0028】

初期状態（電源投入時や、ハードウェアリセット時）において、不揮発性ビットNB0～NBnの状態が揮発性ビットVB0～VBnに書き込まれる。これにより、不揮発性メモリ 10 のデータ保護状態が決まる。すなわち、揮発性ビットVB0～VBnにおいて、書き込み状態（“1”）でセクタ0～nの保護、消去状態（“0”）でセクタ0～nの非保護となる。

【0029】

図2は、保護されたセクタにデータを書き込む際の処理の流れを示すフローチャートである。

例えば、図1の不揮発性メモリ 10 において保護されているセクタ0にデータを書き込む場合、セクタ0の保護を解除するために、書き込み状態にある揮発性ビットVB0を消去状態にする（S1）。その後、書き込み可能となったセクタ0にデータを書き込む（S2）。最後に再びセクタ0を保護するために、揮発性ビットVB0を書き込み状態にする（S3）。

【0030】

このようにセクタ0～nの保護状態を変えるために、揮発性ビットVB0～VBnを用いていることから、保護状態の変更を待ち時間なしに実行可能であり、

頻繁な変更要求に迅速に対応することができる。また、不揮発性ビットNB 0～NB nを揮発性ビットVB 0～VB nそれぞれに設けていることから、揮発性ビットVB 0～VB nの状態をフレキシブルに設定することができ、電源のオンオフ時にも領域別に保護状態を保持することが可能で、十分なセキュリティ強度を確保できる。

【0031】

次に、データ保護状態の書き換えを、パスワードを用いて制限する場合について説明する。

図3は、セキュリティ用のビットを用いた本発明の実施の形態の半導体記憶装置の概略を示した概念図である。

【0032】

本発明の実施の形態の半導体記憶装置では、前述したセクタ0～nの保護状態を指定する揮発性ビットVB 0～VB nの状態を固定（ロック）するか否かを設定する、セキュリティ用の揮発性ビットVBSを有する。さらに揮発性ビットVBSの初期状態を指定する、セキュリティ用の不揮発性ビットNBSP、NBSNを有する。ここで、不揮発性ビットNBSPはパスワードモード、不揮発性ビットNBSNはノンパスワードモード用のビットであり、どちらか一方が書き込み状態である場合は、他方は消去状態となり書き込みはできない。

【0033】

なお、図3では、図1で示した揮発性ビットVB 0～VB nの初期状態を指定する不揮発性ビットNB 0～NB nの図示を省略している。

電源投入時などの初期状態では、不揮発性ビットNBSP、NBSNの状態により、セキュリティ用の揮発性ビットVBSの状態が決まる。例えば、不揮発性ビットNBSP、NBSNの両方とも消去状態であれば、揮発性ビットVBSも消去状態となり、非固定（アンロック）状態となる。これにより、不揮発性メモリ10の保護状態を指定する揮発性ビットVB 0～VB nの状態は、書き込み及び消去可能となる。

【0034】

また、不揮発性ビットNBSPが書き込み状態の場合、初期状態では揮発性ビ

ット VBS も書き込み状態となり、パスワードモードとなる。このとき、不揮発性メモリ 10 の保護状態を指定する揮発性ビット VB0 ～ VBn の状態はロックされ、書き込み及び消去が不可能な状態になる。ここで、正しいパスワードが入力された場合のみ、セキュリティ用の揮発性ビット VBS は消去され、揮発性ビット VB0 ～ VBn への書き込み及び消去が可能になる。再びパスワードモードにする場合は、揮発性ビット VBS を書き込み状態にする。

【0035】

また、不揮発性ビット NBSN が書き込み状態の場合、初期状態では揮発性ビット VBS は消去状態となり、ノンパスワードモードとなる。このとき不揮発性メモリ 10 の保護状態を指定する揮発性ビット VB0 ～ VBn は、書き込み及び消去が可能となる。揮発性ビット VBS は書き込み及び消去可能であり、書き込み状態にすることによって、揮発性ビット VB0 ～ VBn の状態がロック可能になる。

【0036】

このように、パスワードモードが選択されている場合、不揮発性メモリ 10 の保護状態はロックされる。ロックを解除するためには、セキュリティ用の揮発性ビット VBS を消去する必要があるが、このときパスワードによる認証を必要とする。これにより、第3者による不正書き換えを防止することができる。

【0037】

次に、本発明の実施の形態の詳細を説明する。

なお、以下では、フラッシュメモリを例にして、本発明の実施の形態の半導体記憶装置の詳細を説明する。

【0038】

図4は、フラッシュメモリの構成の一部を示す図である。

ここでは、不揮発性メモリは4つの、バンク 21a、21b、21c、21d により構成されている場合について示している。

【0039】

各バンク 21a、21b、21c、21d は、複数のセクタからなる。

以下バンク 21c に注目して説明するが、他のバンク 21a、21b、21d

についても同様である。

【0040】

バンク 21c は、図 1 で示したような複数のセクタ 0～n からなる。さらに、セクタ 0～n ごとのデータ保護状態を指定する揮発性ビット VB0～VBn を有する。また、揮発性ビット VB0～VBn の初期状態を指定する不揮発性ビット NB を有する。なお、図 1 では、揮発性ビット VB0～VBn ごとに不揮発性ビット NB0～NBn を設けていたが、ここでは、1つのバンクで 1つの不揮発性ビット NB を設けている。これにより、1つのバンクにおけるデータ保護状態の初期状態が不揮発性ビット NB の状態で一意に決定することができる。また、省スペース化にもなる。

【0041】

さらにフラッシュメモリ 20 は、外部とのデータの入出力を行う入出力バッファ 22 と、外部アドレスを入力して内部に供給するアドレスバッファ／シーケンサ 23 と、外部から供給される制御信号とコマンド関連のデータをもとにコマンドを生成するコマンドデコーダ 24 と、生成されたコマンドやアドレス信号などに基づいて書き込みや、消去動作などを制御するステート制御部 25 と、書き込みや消去動作に必要な電圧を生成する書き込み／消去回路 26 と、セキュリティレベルに従ってデータ保護状態を指定するロック回路 27 と、データ保護状態のロックを解除するためのパスワードが格納されたパスワード格納部 30 と、を有する。

【0042】

ロック回路 27 は、図 3 で説明したセキュリティ用の揮発性ビット VBS 及び、不揮発性ビット NBSP、NBSN を有している。詳細は後述する。

まず、ロック回路 27 で指定されるデータ保護状態が非固定（アンロック）の場合（ロック信号が H（High）レベルの場合）について、フラッシュメモリ 20 におけるデータ保護動作を説明する。

【0043】

なお、以下でも同様にバンク 21c についてのデータ保護について説明するが、他のバンク 21a、21b、21d についても同様である。

バンク 21c において、電源投入時などの初期状態では揮発性ビット VB0～VBn の状態は、不揮発性ビット NB の状態で決まる。すなわち、不揮発性ビット NB が書き込み状態（“1”）の場合、揮発性ビット VB0～VBn の状態も書き込み状態となる。その情報はステート制御部 25 に伝えられ、バンク 21c への書き込み及び消去コマンドが無視される。これにより、バンク 21c を構成するセクタ 0～n は全て保護される。一方、不揮発性ビット NB が消去状態（“0”）の場合、初期状態では揮発性ビット VB0～VBn の状態も消去状態となる。この場合、バンク 21c を構成するセクタ 0～n は全て非保護となり、書き込み及び消去が可能となる。

【0044】

揮発性ビット VB0～VBn は、外部からの命令に応じて書き換えることができる。このとき、アドレスバッファ／シーケンサ 23 で生成されるセクタアドレスに対応する、揮発性ビット VB0～VBn の状態を書き換えることで、セクタ 0～n ごとにデータ保護状態を変えることができる。なお、電源再投入時には、初期状態に戻る。

【0045】

ロック回路 27 で指定されるデータ保護状態が固定（ロック）の場合（ロック信号が L（Low）レベルの場合）、揮発性ビット VB0～VBn の状態が固定される。これにより、揮発性ビット VB0～VBn の状態の書き換えができなくなる。ロックを解除するためには、外部からパスワードを入力し、ステート制御部 25 で、パスワード格納部 30 に格納された、例えば 64 bit のパスワードと一致するか認証しなければならない。ここで、一致した場合は、ロック回路 27 にその旨を伝え、揮発性ビット VB0～VBn の保護状態の固定を解除（ロック信号を H レベルにする）させる。

【0046】

次に、不揮発性ビット NB の詳細を説明する。

図 5 は、不揮発性ビット NB の回路図である。

不揮発性ビット NB は、不揮発性メモリセル 40 と、書き込みを許可するための書き込み許可信号（常に H レベル）、不揮発性ビット NB の書き込みの際に入

力されるNB書き込み信号を入力するNAND回路41と、pチャネルMOS（Metal-Oxide-Semiconductor）トランジスタ（以下pMOSと呼ぶ）42、43と、nチャネルMOSトランジスタ（以下nMOSと呼ぶ）44、45と、インバータ46と、から構成される。

【0047】

ここで、NAND回路41の出力はpMOS42のゲートに入力され、pMOS42の入出力端子（ドレインまたはソース）のうち、一方はプログラムを行う際の高電圧を供給する書き込み／消去回路26（ここでは図示を省略）と、他方は、不揮発性メモリセル40の一方の入出力端子及び、nMOS44の一方の入出力端子と接続されている。また不揮発性メモリセル40の他方の入出力端子は接地される。不揮発性メモリセル40の状態は、nMOS44のゲートに読み出し信号が入力された場合に、nMOS44の他方の入出力端子より取り出され、同じくゲートに読み出し信号を入力することで導通状態となるnMOS45と、インバータ46を介して、揮発性ビットVB0～VBnへ出力される。なお、読み出し信号は、電源投入時などの初期状態に入力される信号である。

【0048】

ここで、不揮発性メモリセル40が消去状態（“0”）の場合は、不揮発性メモリセル40は導通され、Lレベルとなり、読み出し信号が入力された場合、nMOS44、45を介して、インバータ46で反転され、Hレベルとなり出力される。

【0049】

また、不揮発性メモリセル40が書き込み状態（“1”）の場合は、不揮発性メモリセル40は遮断状態となる。この場合、nMOS45のゲートに読み出し信号が入力されると、nMOS44、45の間に一方の入出力端子を接続したpMOS43の、他方の入出力端子に接続される電源VCCが、インバータ46でLレベルに反転されて出力される。

【0050】

不揮発性ビットNBへの書き込みは、外部からのコマンド入力により、NB書き込み信号がHレベルになった場合、入力可能である。このときNAND回路4

1 の出力は L レベルとなり、pMOS 42 は導通し、不揮発性メモリセル 40 に高電圧が印加され、電子が注入され、書き込み状態となる。

【0051】

工場出荷時、不揮発性ビット NB は消去状態となっており、ユーザ側でバンクごとに、不揮発性ビット NB を書き込むことで、システムに応じて最適な揮発性ビット VB0 ~ VBn の初期状態を選択することが可能である。

【0052】

なお、不揮発性ビット NB を、一度だけ書き込みが可能にし、一度書き込みした不揮発性ビット NB を消去することを禁止することで、セキュリティ強度を高めるようにしてもよい。

【0053】

図 6 は、n 番目のセクタを保護するデータ保護用の揮発性ビット VB の回路図である。

揮発性ビット VBn は、不揮発性ビット NB からの出力を入力して保持するラッチ回路を構成するインバータ 50a、50b と、ラッチ回路の入力側と一方の入出力端子を接続し、セクタ n の保護状態を変更するための保護状態変更信号をゲートに入力する nMOS 51 と、ラッチ回路の出力側と一方の入出力端子を接続し、保護状態変更信号を反転するインバータ 52 と、反転した保護状態変更信号をゲートに入力する nMOS 53 と、を有する。さらに、nMOS 51、53 の他方の入出力端子は共通に接続されており、n 番目のセクタアドレスが入力されると導通する nMOS 54 の一方の入出力端子と接続される。nMOS 54 の他方の入出力端子は、ロック回路 27 からのロック信号が H レベル（アンロック状態）のとき導通状態となる nMOS 55 の一方の入出力端子と接続される。nMOS 55 の他方の入出力端子は接地されている。

【0054】

ラッチ回路の出力はインバータ 50a から取り出され、nMOS 56 のゲートに入力される。ラッチ回路の出力は、H レベルの場合は保護を示し、L レベルの場合は非保護を示す。nMOS 56 の一方の入出力端子は、n 番目のセクタアドレスが H レベルとなると導通する nMOS 57 の一方の入出力端子と接続され、

n M O S 5 7 の他方の入出力端子から、n 番目の揮発性ビット V B n の状態が出力される。ここでの出力は、L レベルで保護を示し、H レベルで非保護を示す。

【 0 0 5 5 】

次に動作を説明する。

電源投入時などの初期状態において、不揮発性ビット N B が読み出され、揮発性ビット V B n の初期状態が設定される。

【 0 0 5 6 】

n 番目のセクタ n の書き込みや、消去時にセクタ n が選択されると（n 番目のセクタアドレスが H レベル）、ラッチ回路の出力が H レベルであれば、揮発性ビット V B n の出力は L レベルとなる。ステート制御部 2 5 は、この信号を検出し、セクタ n の書き込み及び消去命令を無視する。一方、ラッチ回路の出力が L レベルであれば、揮発性ビット V B n の出力は H レベルとなる。ステート制御部 2 5 は、この信号を検出し、セクタ n への書き込みまたは消去命令があれば、これを書き込み／消去回路 2 6 に通知し、書き込みまたは消去を実行する。

【 0 0 5 7 】

セクタ n の保護状態を非保護から保護に変更する場合、ロック信号が H レベル（アンロック状態）であれば、保護状態変更信号を L レベルにすることで、ラッチ回路の出力を L レベルにし、非保護に変更することができる。

【 0 0 5 8 】

また、セクタ n の保護状態を保護から非保護に変更する場合、ロック信号が H レベルであれば、保護状態変更信号を H レベルにすることで、ラッチ回路の出力を H レベルにし、保護に変更することができる。

【 0 0 5 9 】

もし、ロック信号が L レベルの場合は、保護状態変更信号は無効となり、揮発性ビット V B n の保護状態を変更することはできない。

このように、セクタのデータ保護状態を変更する揮発性ビットと、揮発性ビットの初期状態を決める不揮発性ビットを組み合わせたことで、保護状態の変更を待ち時間無しに実行可能であり、同時に電源オンオフ時にも領域別（上記ではバンクごと）に保護状態を保持可能となり、十分なセキュリティ強度を確保するこ

とができる。

【0060】

次にロック回路27の詳細を説明する。

ロック回路27は、図3で示したセキュリティ用の揮発性ビットVBSと不揮発性ビットNBSP、NBSNとからなる。まず、不揮発性ビットNBSP、NBSNについて説明する。

【0061】

図7は、セキュリティ用の不揮発性ビットNBSP、NBSNの構成を示す図である。

セキュリティ用の不揮発性ビットは、ノンパスワードモード用の不揮発性ビットNBSNと、パスワードモード用の不揮発性ビットNBSPがあり、ノンパスワードモード用の不揮発性ビットNBSNの出力の書き込み許可信号がパスワードモード用の不揮発性ビットNBSPに入力され、不揮発性ビットNBSPの出力が、セキュリティ用の揮発性ビットVBSにロック信号として、不揮発性ビットNBSNに書き込み許可信号として再び入力されるように構成される。さらに、不揮発性ビットNBSP、NBSNは、前述した書き込み／消去回路26と接続されており、書き込みの際に高電圧が供給される。また、それぞれ、不揮発性ビットNBSN、NBSPへの書き込みの際にHレベルとなるNBSN書き込み信号及び、NBSP書き込み信号が入力される。

【0062】

なお、出荷時には、不揮発性ビットNBSN、NBSPはともに消去状態のため、書き込み許可信号はHレベルとなっているとして以下説明する。

不揮発性ビットNBSN、NBSPは同様の回路構成であるので、次に、不揮発性ビットNBSNの回路構成について説明する。

【0063】

図8は、不揮発性ビットNBSNの回路構成の例を示す回路図である。

不揮発性ビットNBSNは、不揮発性メモリセル60と、書き込み許可信号と、NBSN書き込み信号（パスワードモード用の不揮発性ビットNBSPの場合はNBSP書き込み信号）を入力するNAND回路61と、pMOS62、63

と、nMOS 64、65と、ラッチ回路構成するインバータ66a、66bと、から構成される。

【0064】

ここで、NAND回路61の出力はpMOS 62のゲートに入力され、pMOS 62の入出力端子のうち、一方は書き込みを行う際の高電圧を供給する前述した書き込み／消去回路26と、他方は不揮発性メモリセル60の一方の入出力端子及び、nMOS 64の一方の入出力端子と接続される。また不揮発性メモリセル60の他方の入出力端子は接地される。不揮発性メモリセル60の状態は、nMOS 64のゲートに読み出し信号が入力された場合に、nMOS 64の他方の入出力端子に取り出され、同じくゲートに読み出し信号を入力することで導通状態となるnMOS 65とラッチ回路を介して、書き込み許可信号として（不揮発性ビットNBSPの場合は、さらにVBSロック信号として）出力される。なお、読み出し信号は、電源投入時などの初期状態に入力される信号である。

【0065】

不揮発性ビットNB SN、NB SPの回路構成は、上記のように、図5で示した不揮発性ビットNBとほぼ同様である。動作についてもほぼ同様であるので詳細な説明は省略し、ここでは図7、8を用いて、ロック回路27の不揮発性ビットNB SN、NB SPの概略の動作について説明する。

【0066】

出荷時は、不揮発性ビットNB SN、NB SPともに消去状態であるので、出力されるVBSロック信号はHレベルとなり、アンロック状態である。

ノンパスワードモードに設定する際は、外部からのコマンドにより、不揮発性ビットNB SNのNB SN書き込み信号をHレベルにする。これにより、不揮発性ビットNB SNが書き込み状態になる。すると、不揮発性ビットNB SNの出力はLレベルになり、不揮発性ビットNB SPの出力のVBSロック信号は、Hレベル（つまりアンロック状態）を保つ。

【0067】

一方、パスワードモードに設定する際は、外部からのコマンドにより、不揮発性ビットNB SPのNB SP書き込み信号をHレベルにする。これにより、不揮

発性ビットNBSPが書き込み状態になる。すると、不揮発性ビットNBSPの出力のVBSロック信号は、Lレベル（つまりロック状態）となる。またこのとき、不揮発性ビットNBSPへ入力される書き込み許可信号はLレベルとなることから、不揮発性ビットNBSPは書き込みが禁止される。

【0068】

このように、どちらか一方が書き込み状態にある場合は他方は消去状態に保たれている。

なお、不揮発性ビットNBSP、NBSPを、一度だけ書き込みが可能にし、一度書き込みした不揮発性ビットNBSP、NBSPを消去することを禁止することで、セキュリティ強度を高めるようにしてもよい。

【0069】

不揮発性ビットNBSPから出力されるVBSロック信号は、セキュリティ用の揮発性ビットVBSに入力される。

図9は、セキュリティ用の揮発性ビットVBSの回路構成例を示す図である。

【0070】

揮発性ビットVBSは、読み出し信号がゲートに入力されると導通し、不揮発性ビットNBSPよりVBSロック信号を入力するnMOS70と、nMOS70の他方の入出力端子とゲートを接続したnMOS71と、nMOS70の出力を反転するインバータ72と、反転された信号をゲートに入力するnMOS73を有する。nMOS71、73は一方の入出力端子を共通に、読み出し信号がゲートに入力されると導通されるnMOS74の、一方の入出力端子と接続している。

【0071】

また、nMOS71の他方の入出力端子は、インバータ75aの入力端子、インバータ75bから構成されるラッチ回路の入力側と接続される。nMOS73の他方の入出力端子は、ラッチ回路の出力側と接続される。さらに、パスワード解除信号をゲートに入力するnMOS76の一方の入出力端子が、ラッチ回路の入力側へ、VBS書き込み信号とロック信号の論理積をとるAND回路77の出力をゲートに入力する、nMOS78の一方の入出力端子がラッチ回路の出力側

へ接続される。なお、nMOS 76、78の他方の入出力端子は接地されている。

【0072】

揮発性ビットVBSの出力はインバータ75aの出力端子よりロック信号として出力される。

初期状態では読み出し信号がHレベルとなるので、不揮発性ビットNBSPからのVBSロック信号が入力される。VBSロック信号がHレベル（アンロック状態、ノンパスワードモード）の場合、揮発性ビットVBSにはHレベルがラッチされ、ロック信号もHレベルのアンロック状態になる。

【0073】

このとき、ロック状態に変更したい場合は、外部より入力されるコマンドで、VBS書き込み信号をHレベルにする。するとnMOS 78はオン状態になるので、Lレベルがラッチされる。これによりロック信号はLレベルのロック状態となる。

【0074】

一方、VBSロック信号がLレベル（パスワードモード）の場合、Lレベルがラッチされ、ロック状態となる。

このときアンロック状態に変更したい場合は、外部より入力されるコマンドにより、ユーザが入力したパスワードと、パスワード格納部30に予めユーザが設定していたパスワードとの照合が行われ、一致すればパスワード解除信号がHレベルとなる。すると、ラッチは反転しロック信号はHレベルに変更され、ロックが解除される。

【0075】

このように、データ保護状態を固定するか否かを決定する揮発性ビットを設けたことで、2段階のセキュリティレベルを設けることができ、固定の場合はアンロックのためにパスワードによる認証を必要としたことで、セキュリティ強度を向上できる。

【0076】

【発明の効果】

以上説明したように本発明では、揮発性ビットにより、不揮発性メモリのデータの保護状態を制御し、不揮発性ビットで揮発性ビットの初期状態を決定するので、保護状態の変更が迅速に行える。さらに、電源オン、オフ時にも領域別に保護状態を保持可能で、十分なセキュリティ強度を確保することが可能になる。

【図面の簡単な説明】

【図 1】

本発明の実施の形態の半導体記憶装置の原理を説明する概念図である。

【図 2】

保護されたセクタにデータを書き込む際の処理の流れを示すフローチャートである。

【図 3】

セキュリティ用のビットを用いた本発明の実施の形態の半導体記憶装置の概略を示した概念図である。

【図 4】

フラッシュメモリの構成の一部を示す図である。

【図 5】

不揮発性ビット NB の回路図である。

【図 6】

n 番目のセクタを保護するデータ保護用の揮発性ビット VB の回路図である。

【図 7】

セキュリティ用の不揮発性ビット NBSP、NB SN の構成を示す図である。

【図 8】

不揮発性ビット NB SN の回路構成の例を示す回路図である。

【図 9】

セキュリティ用の揮発性ビット VBS の回路構成例を示す図である。

【図 10】

不揮発性ビットを用いたデータ保護について説明する概念図である。

【図 11】

不揮発性ビットにより保護されたセクタにデータを書き込む際の、従来の処理

の流れを示すフローチャートである。

【図 1 2】

揮発性ビットを用いたデータ保護について説明する概念図である。

【図 1 3】

パスワードを用いてデータ保護状態を変更する、従来の半導体記憶装置の概略を示した概念図である。

【符号の説明】

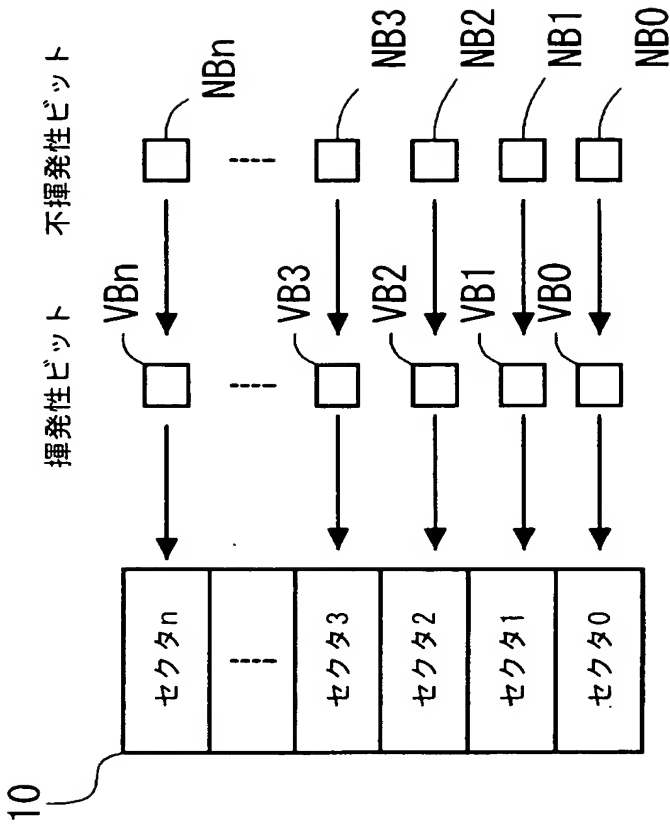
1 0 不揮発性メモリ

VB 0、VB 1、VB 2、VB 3、…、VB n 揮発性ビット

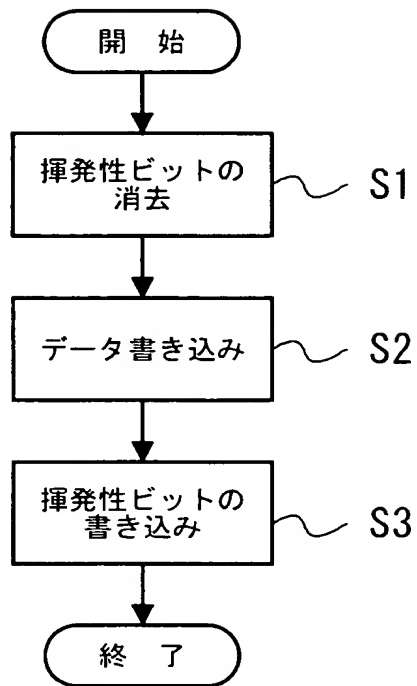
NB 0、NB 1、NB 2、NB 3、…、NB n 不揮発性ビット

【書類名】 図面

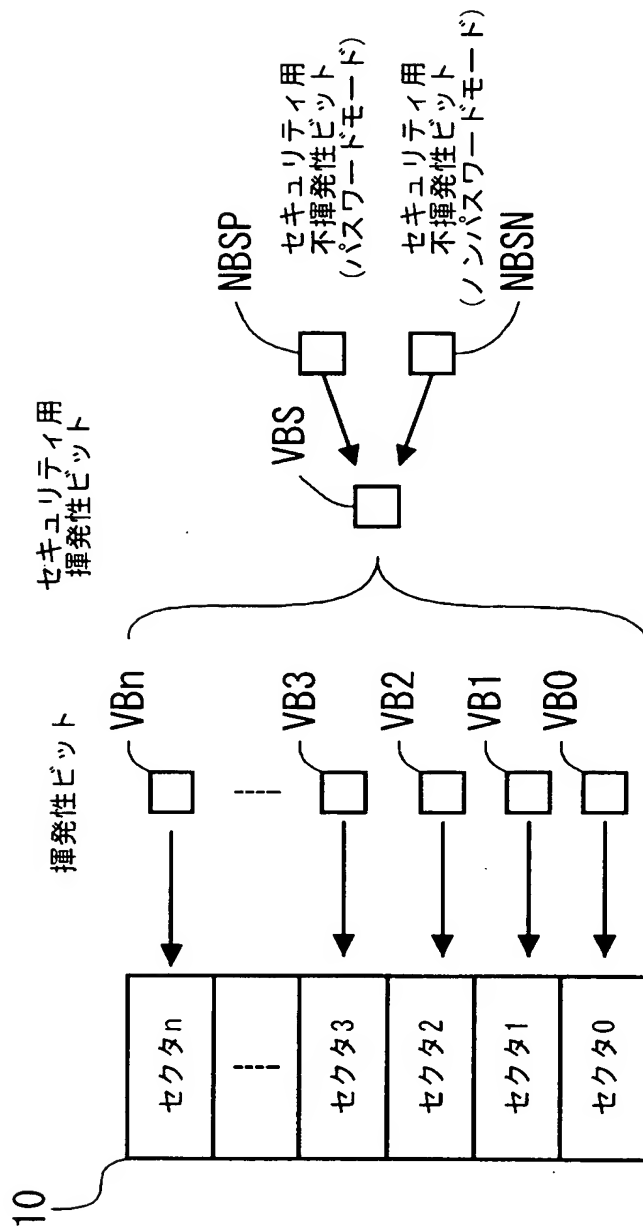
【図 1】



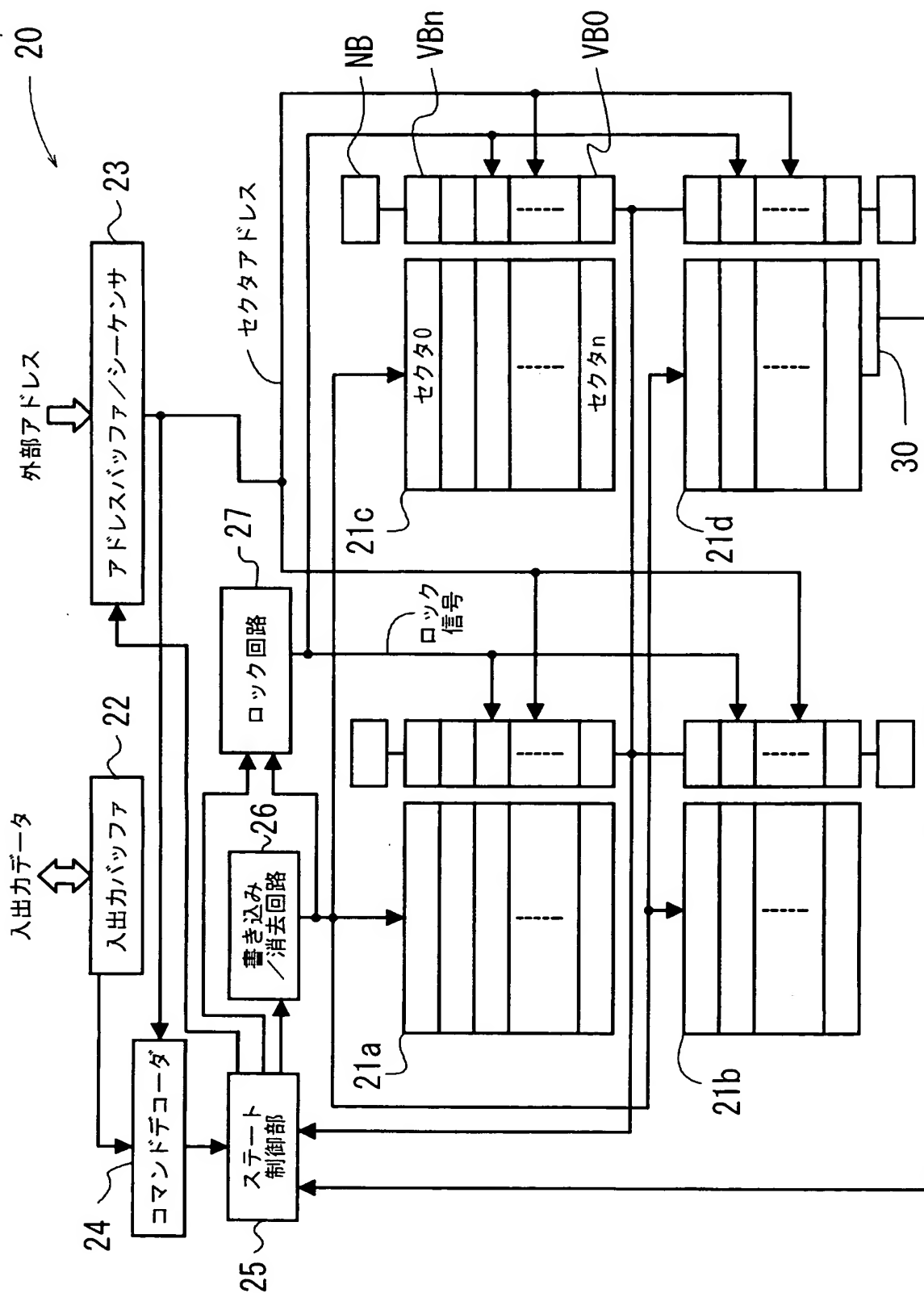
【図 2】



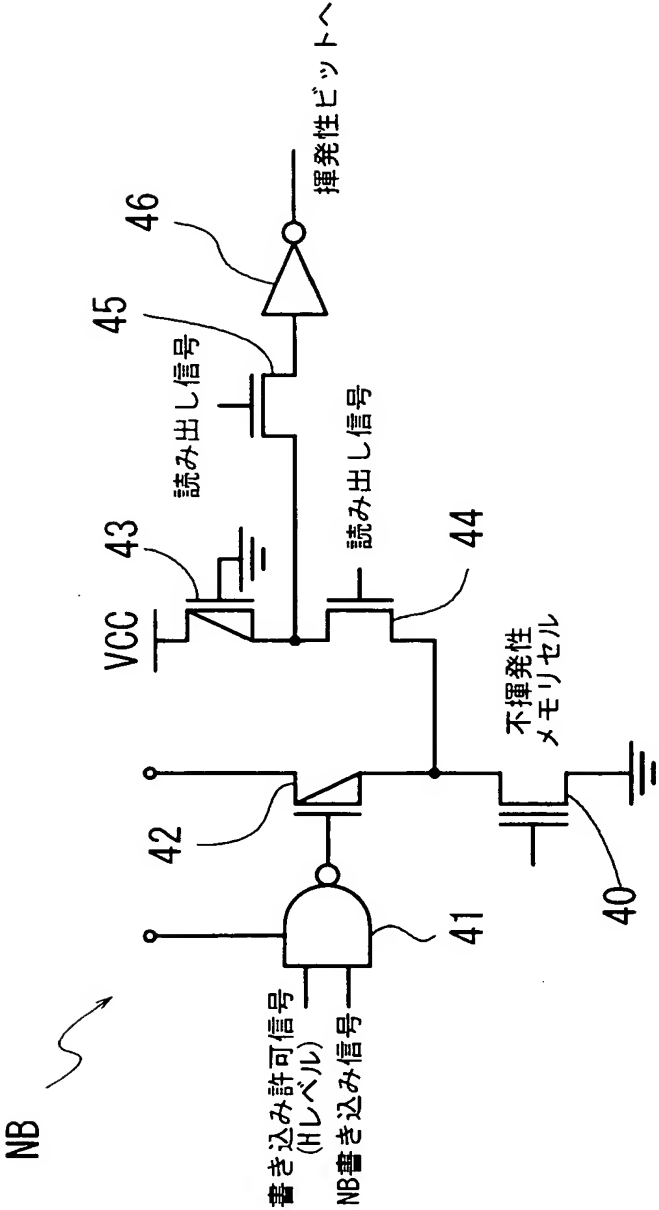
【図 3】



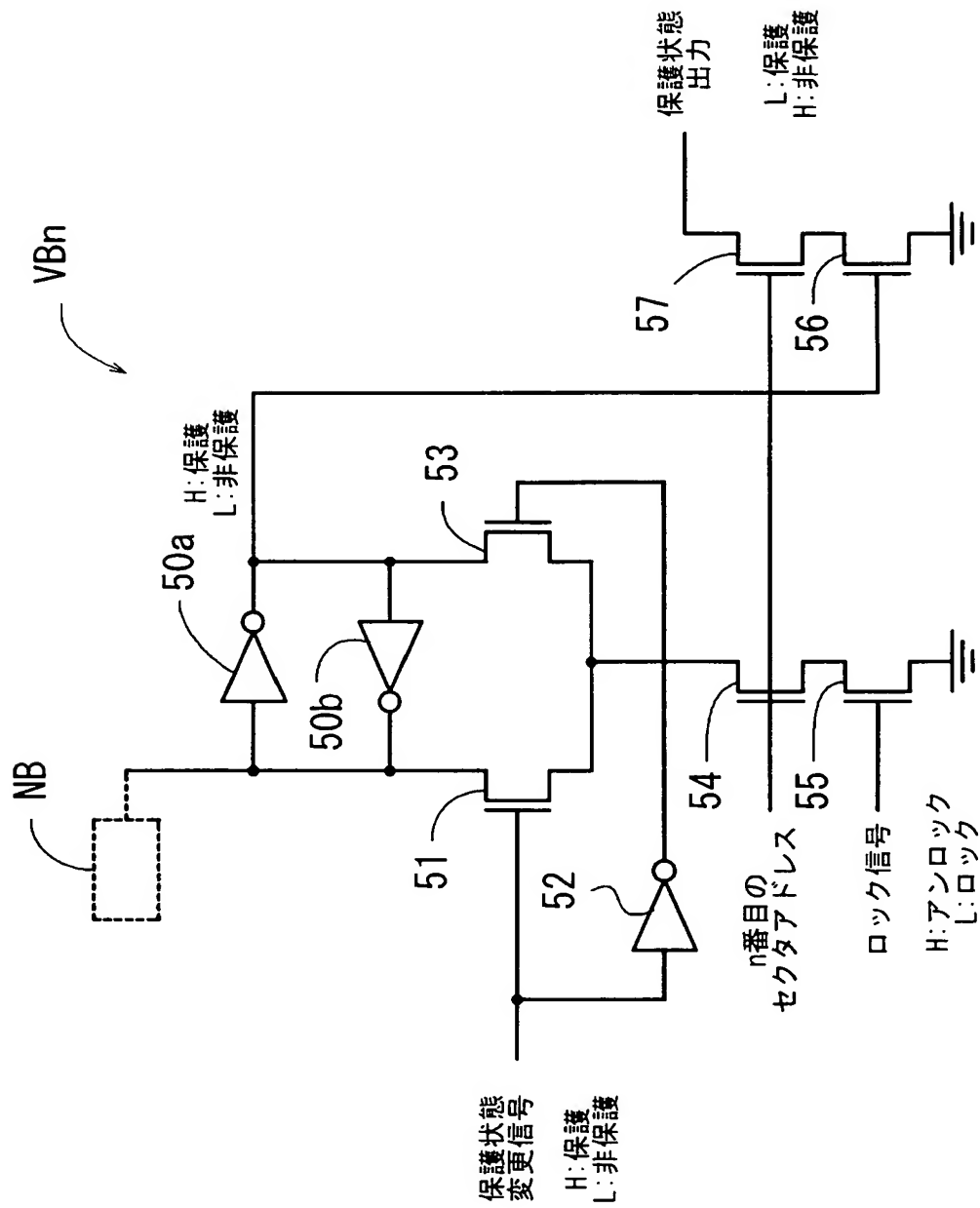
【図 4】



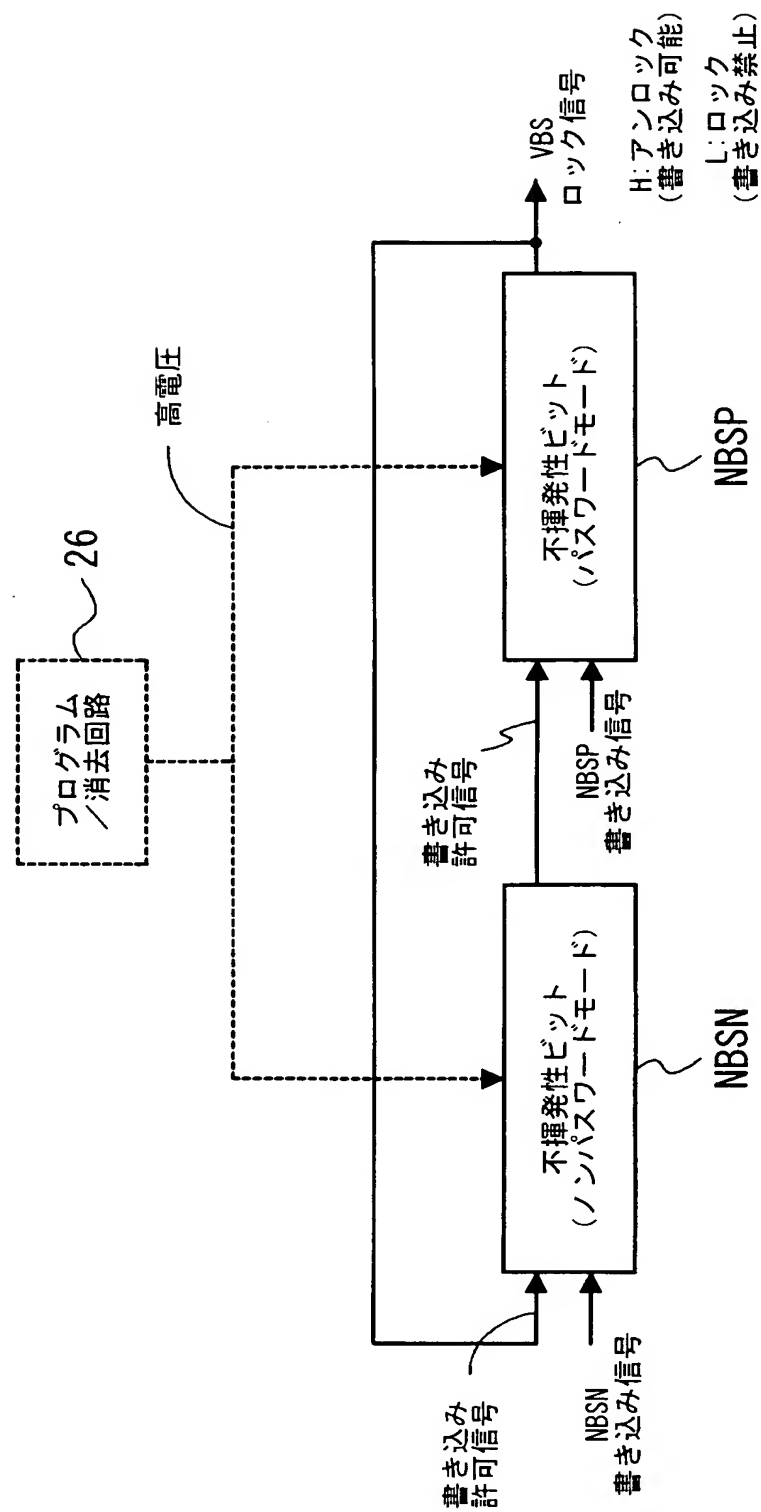
【図 5】



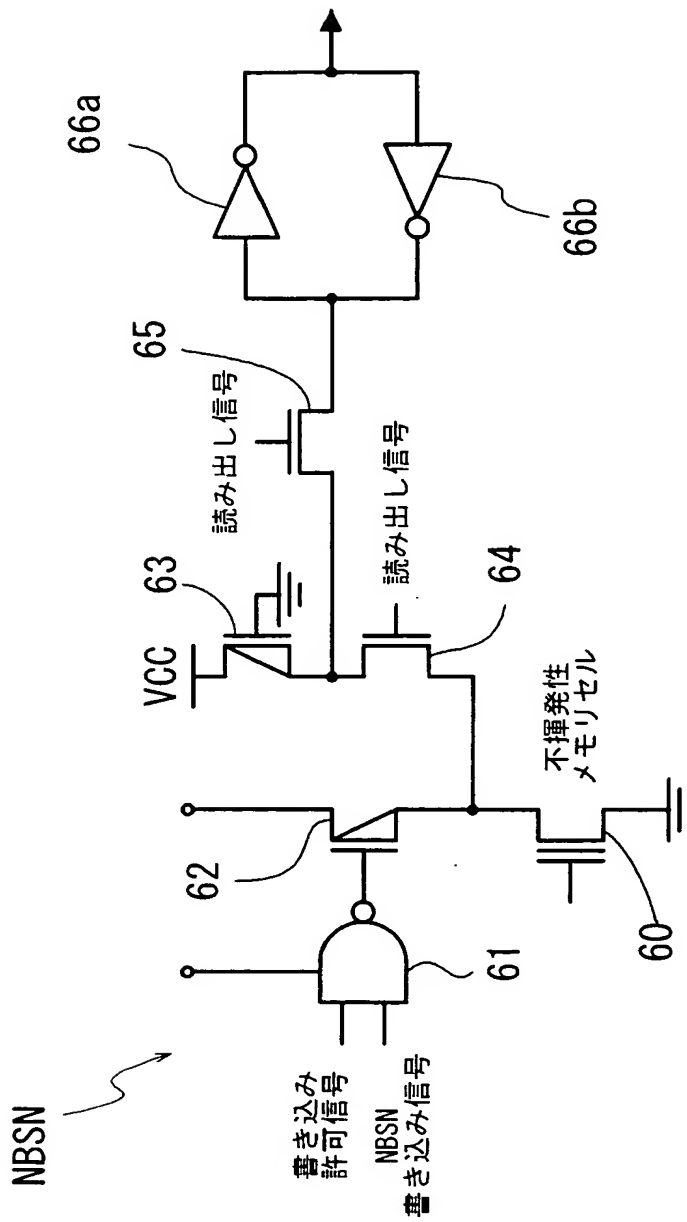
【図 6】



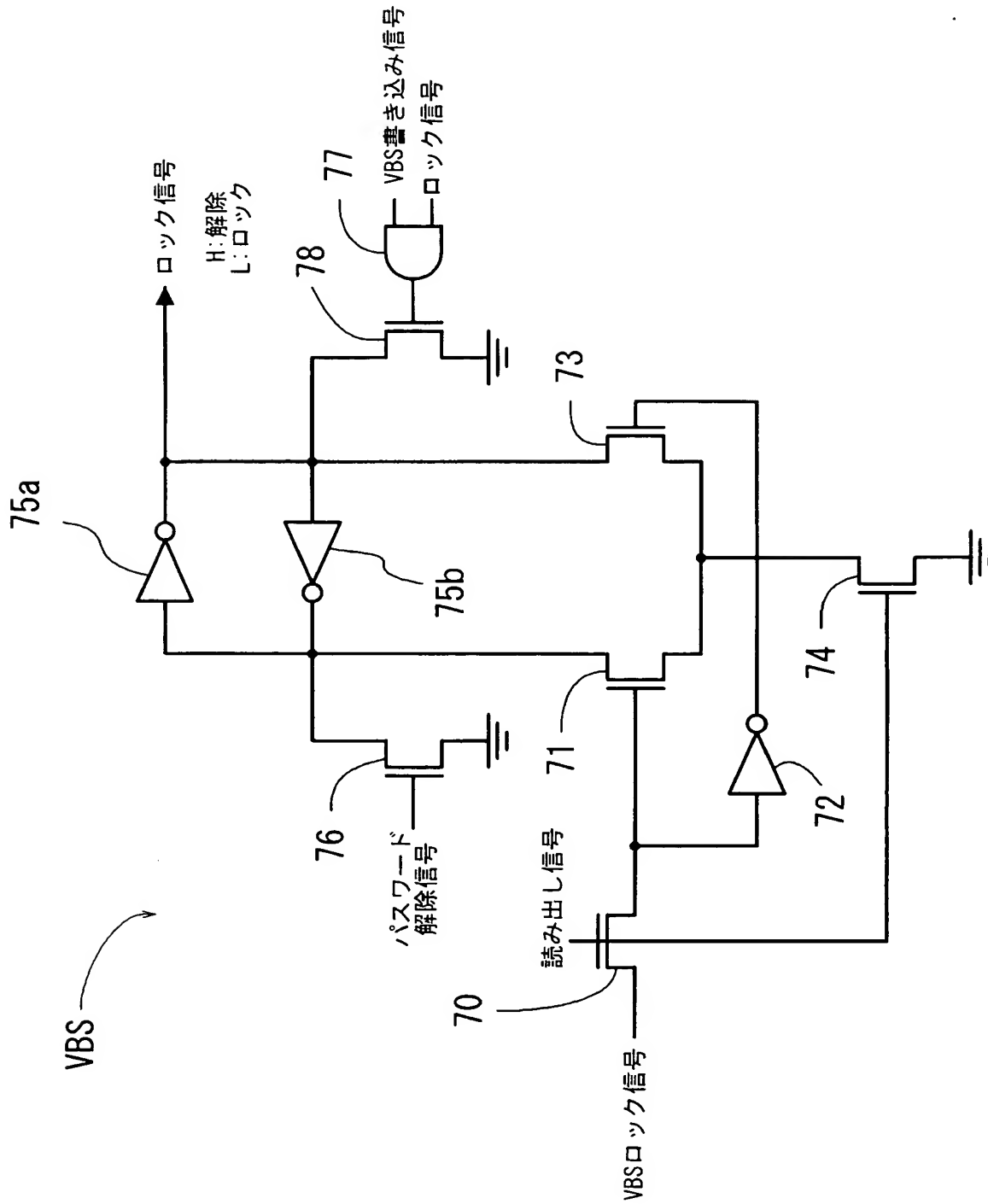
【図 7】



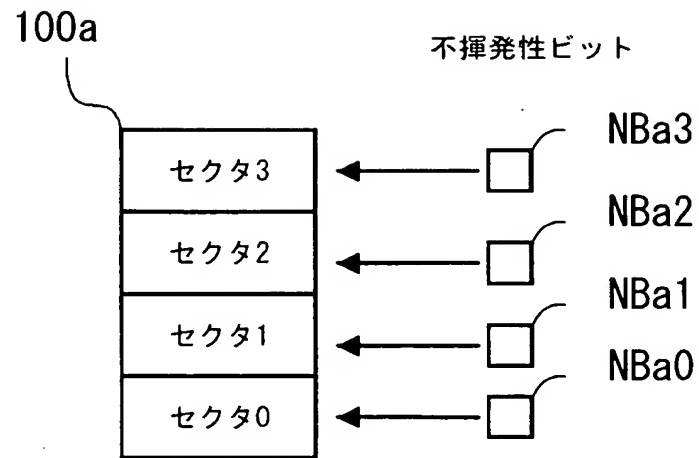
【図 8】



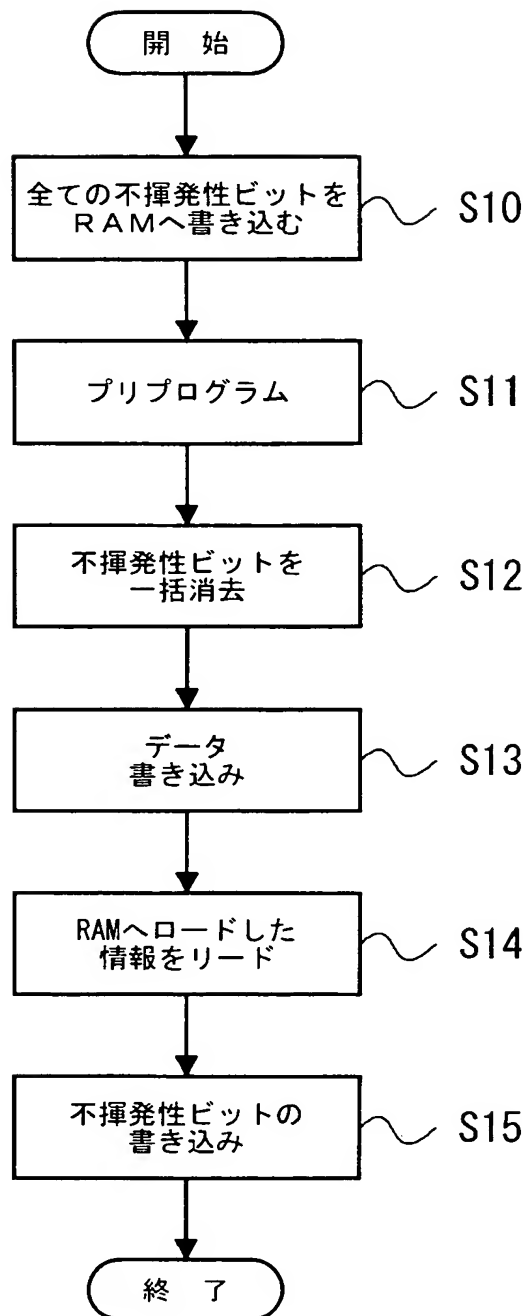
【図 9】



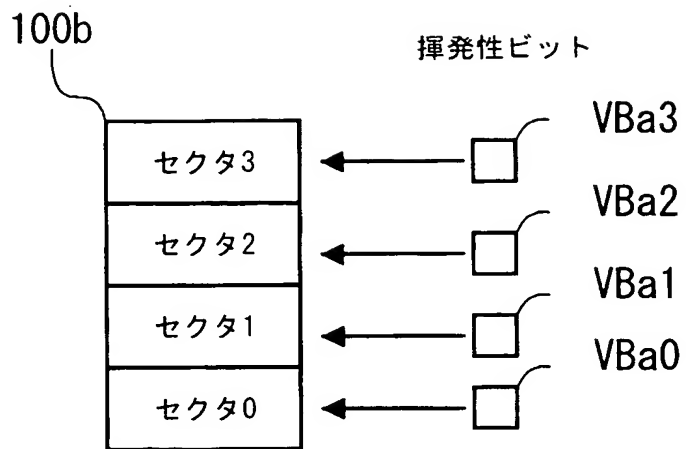
【図 1 0】



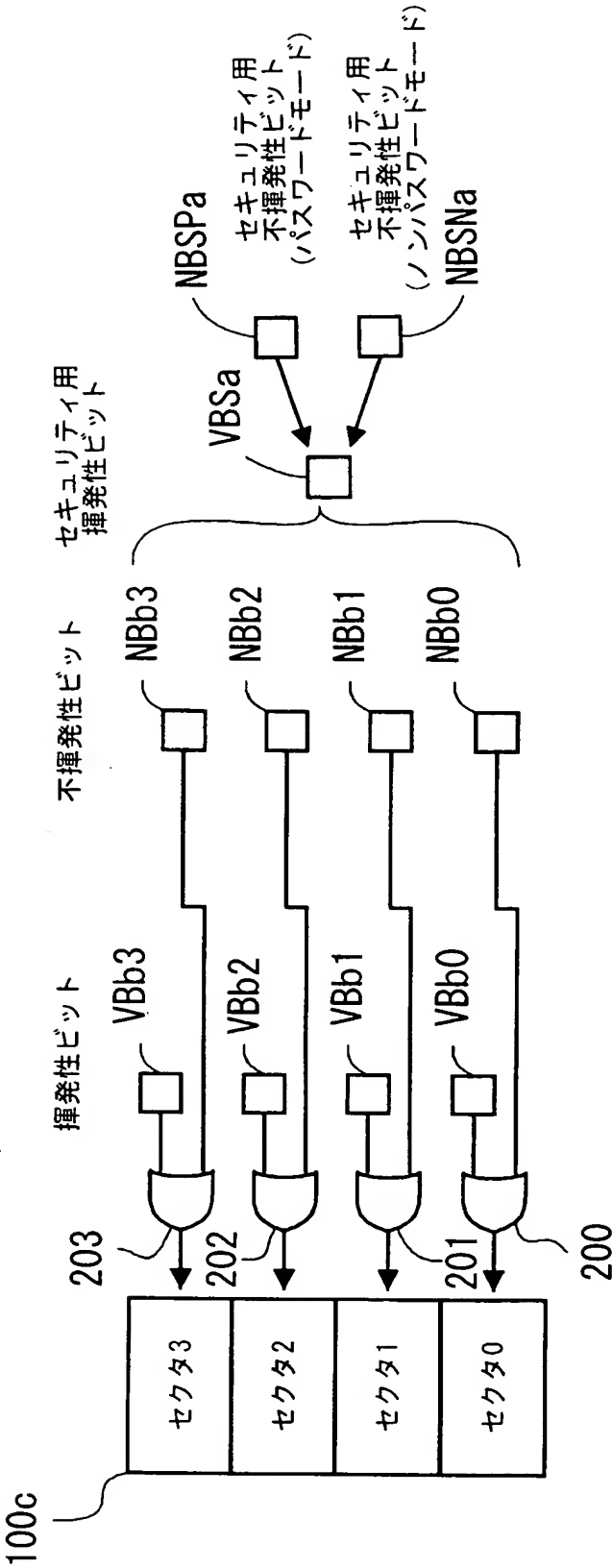
【図 11】



【図 1 2】



【図 13】



【書類名】 要約書

【要約】

【課題】 不揮発性メモリのデータ保護状態を迅速に変更可能で、且つ、十分なセキュリティ強度を有した半導体記憶装置を提供する。

【解決手段】 揮発性の保護状態指定部 V B 0、V B 1、V B 2、V B 3、…、V B n により、不揮発性メモリのデータの保護状態を制御し、不揮発性の初期状態記憶部 N B 0、N B 1、N B 2、N B 3、…、N B n により、保護状態指定部 V B 0、V B 1、V B 2、V B 3、…、V B n の初期状態を決定する。

【選択図】 図 1

特願 2 0 0 3 - 0 5 0 2 6 4

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 2 2 3]

1 . 変更年月日

1 9 9 6 年 3 月 2 6 日

[変更理由]

住所変更

住 所

神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号

氏 名

富士通株式会社